

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-180603

(43)Date of publication of application : 07.08.1987

(51)Int.Cl.

H03H 19/00

(21)Application number : 61-022281

(71)Applicant : NEC CORP

(22)Date of filing : 03.02.1986

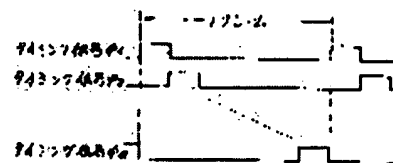
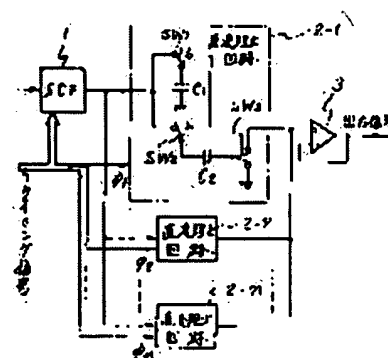
(72)Inventor : TAKAHASHI YUTAKA

(54) OFFSET COMPENSATION CIRCUIT FOR SCF

(57)Abstract:

PURPOSE: To decrease the circuit scale and power consumption by providing plural DC blocking circuits having a switch circuit receiving a sending signal of an SCF (switched capacitor filter) of the time division multiplex system and a timing signal instructing a time slot of an allocated channel.

CONSTITUTION: An output signal of an SCF 1 is given to one terminal of a capacitor C1 via a switch SW1 of DC blocking circuits 2-1~2-n during the pulse leading of a timing signal $\phi_{1/2}$, i.e., in the 1st channel time slot, and the terminal of the capacitor C1 is connected to one terminal of a capacitor C2 via a switch SW2 during the trailing of the timing pulse signal $\phi_{1/2}$, i.e., during the period except the 1st channel time slot. Switches SW2 and SW3 connect a capacitor C2 in series between the SCF 1 and an operational amplifier 3 during the pulse leading of the timing signal $\phi_{1/2}$, and connect the capacitor C2 in parallel with the capacitor C1 during the trailing of the timing pulse signal $\phi_{1/2}$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭62-180603

⑤ Int. Cl.⁴
H 03 H 19/00

識別記号

庁内整理番号
7328-5J

④ 公開 昭和62年(1987)8月7日

審査請求 有 発明の数 1 (全4頁)

⑭ 発明の名称 SCF用オフセット補償回路

⑮ 特 願 昭61-22281

⑯ 出 願 昭61(1986)2月3日

⑰ 発 明 者 高 橋 豊 東京都港区芝5丁目33番1号 日本電気株式会社内
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

SCF用オフセット補償回路

2. 特許請求の範囲

第1および第2のキャパシタと、時分割多重方式のSCF(スイッチトキャパシタフィルタ)の送出信号および割当てチャンネルのタイムスロットを指示するタイミング信号を受けて前記割当てチャンネルタイムスロットでは前記第1のキャパシタの両端に前記SCF送出信号を接続すると共に前記第2のキャパシタの一端に前記SCF送出信号を他端に出力端をそれぞれ接続した前記割当てチャンネルタイムスロット以外では前記第1および第2のキャパシタを並列接続すると共に前記SCF送出信号および前記出力端から切離すスイッチ回路とを有する複数の直流阻止回路と、

各前記直流阻止回路の前記出力端の電圧を相加

して送出する増幅器とを、

備えていることを特徴とするSCF用オフセット補償回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はSCF用オフセット補償回路、特に時分割多重方式のSCFの出力信号に対し各チャンネル毎のオフセットを除去するのに好適なSCF用オフセット補償回路に関する。

〔従来の技術〕

従来、SCFすなわちスイッチトキャパシタフィルタで演算増幅器のオフセットやスイッチのフィードスルーなどに起因して生じるオフセットの成分を除去するため、SCFの出力信号を抵抗およびキャパシタから成る低域フィルタに通して、その出力信号に含まれているオフセット成分を抽出し、このオフセット成分をSCFの出力信号からアナログ減算することによりオフセットの除去を行うようにしたオフセット補償回路が使用され

ている。

〔発明が解決しようとする問題点〕

上述した従来のオフセット補償回路を時分割多重方式のSCFに適用しようとする、多重化されている各チャンネル毎にオフセット成分が異なるので、SCFの出力信号を各チャンネルのタイムスロット毎にサンプルホールドした上で低域フィルタを通して各チャンネルのオフセット成分を抽出し、このオフセット成分をSCFの出力信号から各チャンネルのタイムスロット毎にアナログ減算するように構成せねばならない。従ってこの場合には、多重化したチャンネル数に等しい個数のサンプルホールド回路および低域フィルタが必要になる。また、オフセット成分以外の本来の信号成分に与える減衰量を極力小さくするため、低域フィルタのカットオフ周波数を低く設定しておかねばならず、抵抗およびキャパシタの値が大きくなる。この結果、オフセット補償回路の回路規模および消費電力が大きくなり、且つ低域フィルタの部分は回路の集積化ができず、従って回路全

- 3 -

して送出する増幅器とを、

備えている。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図であり、第2図はその動作を説明するためのタイミング図である。第1図において、スイッチトキャパシタフィルタ(SCF)1は、タイミング信号 $\phi_1 \sim \phi_n$ に応じて時分割多重方式の動作を行う。タイミング信号 $\phi_1 \sim \phi_n$ は、第2図に示すごとく、予め定められた時間幅をもつフレーム毎に、そのうちの一つずつパルスが立上ってチャンネル毎のタイムスロットを順次に指示している。オフセット補償回路は、直流阻止回路2-1~2-n、および演算増幅器3から成る構成を有する。SCF1の出力信号は、直流阻止回路2-1~2-nにおのおの導かれている。直流阻止回路2-1~2-nはすべて同一の回路構成を有する。例えば直流阻止回路2-1は、SCF1の出力信号と、第1チャンネルのタイムスロットを示すタイミング信号

- 5 -

体のワンチップ化ができないという問題点がある。

本発明の目的は、上述の問題点を解決し従来よりも回路規模および消費電力を小さくでき且つワンチップ化が可能なSCF用オフセット補償回路を提供することにある。

〔問題点を解決するための手段〕

本発明の回路は、第1および第2のキャパシタと、時分割多重方式のSCF(スイッチトキャパシタフィルタ)の送出信号および割当てチャンネルのタイムスロットを指示するタイミング信号を受けて前記割当てチャンネルタイムスロットでは前記第1のキャパシタの両端に前記SCF送出信号を接続すると共に前記第2のキャパシタの一端に前記SCF送出信号を他端に出力端をそれぞれ接続した前記割当てチャンネルタイムスロット以外では前記第1および第2のキャパシタを並列接続すると共に前記SCF送出信号および前記出力端から切離すスイッチ回路とをおのおの有する複数の直流阻止回路と、

各前記直流阻止回路の前記出力端の電圧を相加

- 4 -

ϕ_1 とを受けて動作する。スイッチSW₁は、タイミング信号 ϕ_1 のパルス立上り中すなわち第1チャンネルのタイムスロットでは実線で示すごとくキャパシタC₁の一端にSCF1の出力信号を接続し、またタイミング信号 ϕ_1 のパルス立下り中すなわち第1チャンネルのタイムスロット以外では破線で示すごとくキャパシタC₁の一端をスイッチSW₂を介してキャパシタC₂の一端に接続する。スイッチSW₂およびSW₃は、タイミング信号 ϕ_1 のパルス立上り中では実線で示すごとくキャパシタC₂をSCF1および演算増幅器3間に直列に接続し、タイミング信号 ϕ_1 のパルス立下り中では破線で示すごとくキャパシタC₂をキャパシタC₁に並列に接続する。

すなわち、直流阻止回路2-1では各フレーム毎に、第1チャンネルのタイムスロットにおいて、キャパシタC₁はSCF1の出力信号で充電され、キャパシタC₂はSCF1および演算増幅器3間に介在し両者を接続する。また各フレームの第1チャンネルのタイムスロット以外では、キャパシタ

- 6 -

C_1 および C_2 は互いに並列に接続され両者間で電荷を授受しあい、この間、直流阻止回路 2-1 は SCF1 および演算増幅器 3 の両者から切離されている。第 n フレームでの第 1 チャンネルのタイムスロットにおいて、SCF1 の出力信号の電圧を $V_1(n)$ 、キャパシタ C_2 の両端電圧を $V_2(n)$ 、また演算増幅器 3 に与えられる電圧を $V_3(n)$ とすると、上述のような動作により、

$$V_3(n) = V_1(n) - V_2(n) \quad \dots\dots (1)$$

$$\begin{aligned} \text{および } C_1 V_1(n) + C_2 V_2(n) \\ = (C_1 + C_2) V_2(n+1) \end{aligned} \quad \dots\dots (2)$$

が成立する。式(1)および(2)を Z 変換して直流阻止回路 2-1 の伝達関数 $H(z)$ を求めると、

$$H(z) = \frac{V_3}{V_1} = \frac{1 - Z^{-1}}{1 - \beta Z^{-1}} \quad \dots\dots (3)$$

が得られる。但し式(3)中、 V_1 および V_3 はそれぞれ $V_1(n)$ および $V_3(n)$ の Z 変換であり、 $\beta =$

$$\frac{C_2}{C_1 + C_2}$$

とするにも、従来のごとくキャパシタの値を大きくする必要は無く、容量比 C_2 / C_1 を大きくすれば済む。この結果、従来よりも回路規模および消費電力が小さく、且つワンチップ化するのに好適である。

第 3 図は、上述の実施例中の直流阻止回路 2-1 ないし 2-n について他の構成例を示す回路図である。向図の回路は、第 1 図における接続切換え形のスイッチ $SW_1 \sim SW_3$ の代りに、オンオフ切換え形のスイッチ $SW_{10} \sim SW_{14}$ を使用するように変更したものである。スイッチ $SW_{10} \sim SW_{13}$ は、タイミング信号のパルス立上り時にオン状態になり、パルス立下り時にオフ状態になる。スイッチ SW_{13} 、 SW_{14} は、その逆の動作をする。この回路が第 1 図の場合と同じ動作を行うのは明らかである。

〔発明の効果〕

以上説明したように本発明には、ワンチップ化に好適であり小形且つ低消費電力の SCF 用オフセット補償回路を実現できるという効果がある。

$C_2 / (C_1 + C_2)$ である。直流すなわち $Z = 1$ において、 $H(1) = 0$ であるから、 $H(z)$ は直流阻止特性をもつ。 $H(z)$ のカットオフ周波数を低くするには、 β を 1 に近付けられれば良く、すなわち容量比 C_2 / C_1 を大きくすれば良い。

このように直流阻止回路 2-1 は、第 1 チャンネルのタイムスロット毎に、SCF1 の出力信号中の第 1 チャンネル成分から直流近傍の成分すなわちオフセット成分を除去して、演算増幅器 3 へ送る。同様に直流阻止回路 2-2 ~ 2-n もそれぞれ、第 2 ~ n チャンネルのタイムスロットで SCF1 の出力信号中の各チャンネルのオフセット成分を除去して、演算増幅器 3 へ送る。演算増幅器 3 は、直流阻止回路 2-1 ~ 2-n から送られてくる信号を相加し出力信号として送出し、従って SCF1 の出力信号から各チャンネルのオフセット成分を除去した出力信号が得られる。

本実施例では、回路規模の小さなスイッチトキャパシタ回路を直流阻止回路 2-1 ないし 2-n として使用しており、そのカットオフ周波数を低

$$= \frac{C_2}{C_1 + C_2}$$

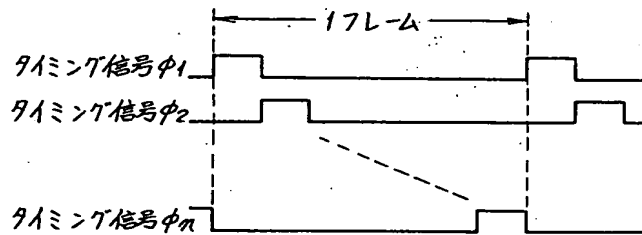
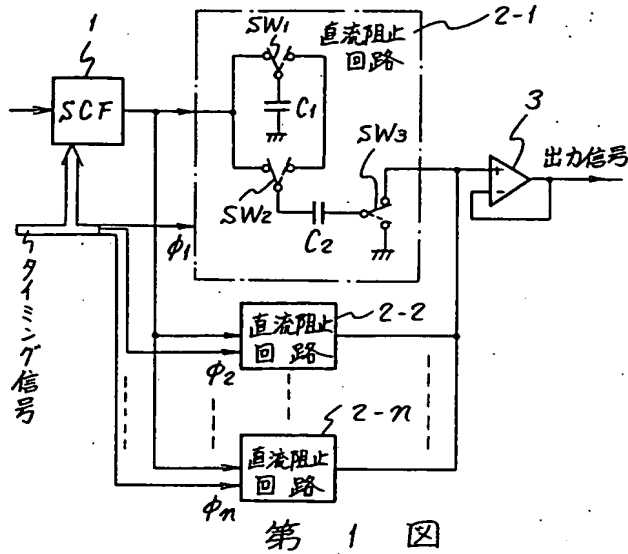
4. 図面の簡単な説明

第 1 図および第 2 図はそれぞれ本発明の一実施例を示すブロック図およびタイミング図、第 3 図は本発明の実施例中の直流阻止回路の構成例を示す回路図である。

1 …… スイッチトキャパシタフィルタ (SCF)、
2-1 ~ 2-n …… 直流阻止回路、 C_1 、 C_2 ……
… キャパシタ、 $SW_1 \sim SW_3$ 、 $SW_{10} \sim SW_{14}$ ……
… スイッチ、3 …… 演算増幅器。

代理人 弁理士 内 原 晋





第 2 図

手続補正書 (自発)

昭和 年 月 日 62.4.28

特許庁長官 殿

適

1. 事件の表示 昭和61年 特許願第 22281 号
2. 発明の名称 SCF用オフセット補償回路
3. 補正をする者

事件との関係

出 願 人

東京都港区芝五丁目33番1号

(423) 日本電気株式会社

代表者 関本忠弘

4. 代理人

〒108 東京都港区芝五丁目37番8号 住友三田ビル

日本電気株式会社内

(6591) 弁理士 内原

電話 東京 (03) 456-3111 (大代表)

(連絡先 日本電気株式会社 特許部)

特許庁

62.5.1

第三課
小野田方式
審査

逆木

5. 補正の対象

明細書の「発明の詳細な説明」の欄

6. 補正の内容

- (1) 明細書、第2頁、第14乃至16行「を抵抗およびキャパシタから成る低域フィルタに通してその出力信号」を削除する。
- (2) 同、第3頁、第7乃至8行「低域フィルタを通して各チャンネルの」を削除する。
- (3) 同頁、第11行「従って」の前に「更に前述の方法を用いる場合、前段のSCFで発生する高周波雑音をサンプリングしてしまうので、低域フィルタを挿入する必要がある。」を挿入する。
- (4) 同頁、第14行「オフセット成分以外の」を削除する。
- (5) 同頁、第15行「に与える減衰量を極力小さくするため」を「の周波数が低い場合」に訂正する。

代理人 弁理士 内原

弁理士
内原